

SID11x2KQ SCALE-iDriver 제품군

최대 1200V 블로킹 전압의 강화된 갈바닉 절연 성능을 갖춘
자동차 애플리케이션용 최대 8A의 단일 채널 IGBT/MOSFET 게이트
드라이버

제품의 주요 특징

높은 집적도, 작은 공간

- 출력을 분할하여 최대 8A의 피크 드라이브 전류 제공
- 통합 FluxLink™ 기술로 1차측과 2차측 간 안전한 절연 성능 제공
- Rail-to-rail 안정된 출력 전압
- 2차측을 위한 유니폴라 공급 전압
- 600V/650V/1200V IGBT 및 MOSFET 스위치에 적합
- 최대 75kHz 스위칭 주파수
- 260ns의 짧은 전파 지연 시간
- 전파 지연 지터 ±5ns
- -40 ~ +125°C의 작동 주변 온도
- 높은 커먼 모드 과도 응답 내성
- 9.5mm의 연면거리 및 공간거리를 갖는 eSOP 패키지

고급 보호 및 안전 기능

- 1차측 및 2차측의 저전압 록아웃(UVLO) 보호와 고장 피드백
- V_{CESAT} 모니터링을 통한 회로 단락 보호 기능과 고장 피드백
- ASSD(Advanced Soft Shut Down)

높은 안전성 및 규정 준수

- 100% 생산 부분 방전 테스트
- 6kV RMS 1초에서 100% 생산 HIPOT 준수 테스트
- VDE 0884-10을 충족하는 강화된 절연 성능
- AEC Q-100 인증 획득(자동차용 1등급)

친환경 패키지

- 할로겐 프리 및 RoHS 준수

애플리케이션

- 전기 자동차 파워 트레인
- 전기 자동차 on-board 충전기 및 충전기 스테이션
- 높은 신뢰성의 드라이버 및 인버터

설명

SID11x2KQ는 eSOP 패키지의 단일 채널 IGBT 및 MOSFET 드라이버입니다. 강화된 갈바닉 절연 성능은 파워 인테그레이션스(Power Integrations)의 혁신적인 고체 절연물 FluxLink 기술에 의해 제공됩니다. 8A의 피크 출력 드라이브 전류 덕분에 추가적인 부품 없이도 최대 600A(기본값)로 IGBT 및 MOSFET을 구동하는 제품을 제작할 수 있습니다. SID11x2KQ의 단독 용량을 초과하는 게이트 드라이브 요건의 경우, 외장 증폭기(부스터)를 추가할 수도 있습니다. 하나의 유니폴라 절연 전압 소스가 게이트 제어를 위한 안정적인 플러스 및 마이너스 전압을 제공합니다.

ASSD(Advanced Soft Shut Down)를 사용한 회로 단락 보호(DESAT), 1차측 및 2차측의 저전압 록아웃(UVLO), 온도 및 프로세스 보정 출력 임피던스를 갖는 rail-to-rail 출력 등의 추가 기능은 혹독한 상황에서도 안전한 작동을 보장합니다.

컨트롤러(PWM 및 고장) 신호는 5V CMOS 로직과 호환되며, 외부 저항 분배기를 사용할 경우 전압이 15V 수준까지 조정될 수도 있습니다.

제품 포트폴리오

제품 ¹	피크 출력 드라이브 전류
SID1132KQ	2.5A
SID1182KQ	8.0A

표 1. SCALE-iDriver 포트폴리오

참고:

1. 패키지: eSOP-R16B.



그림 2. eSOP-R16B 패키지

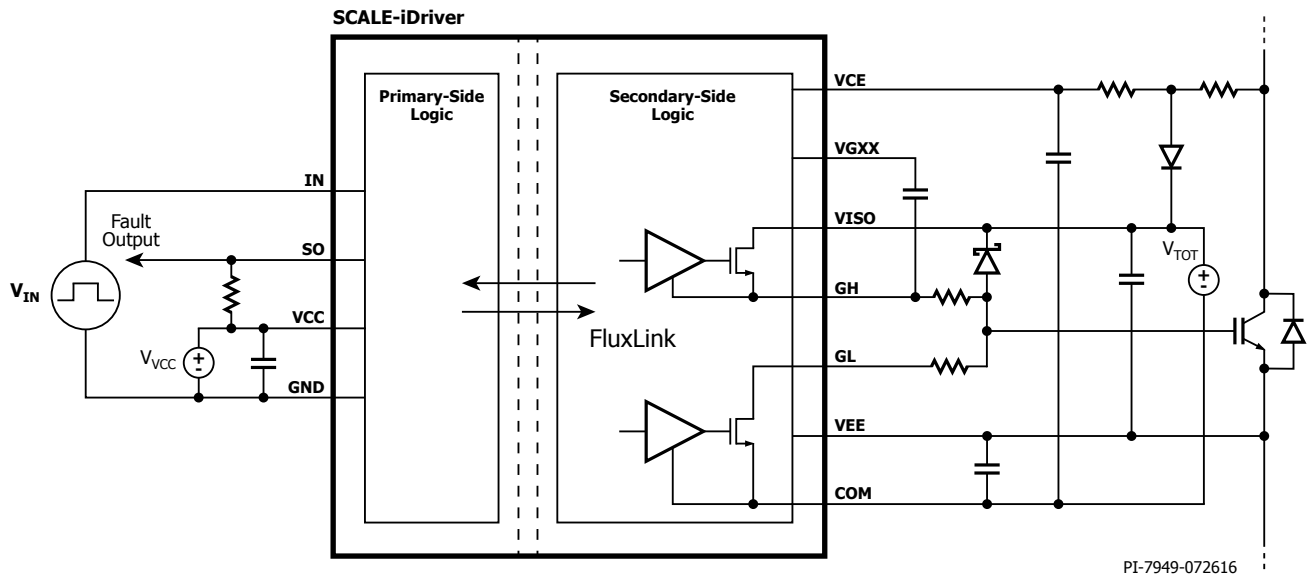
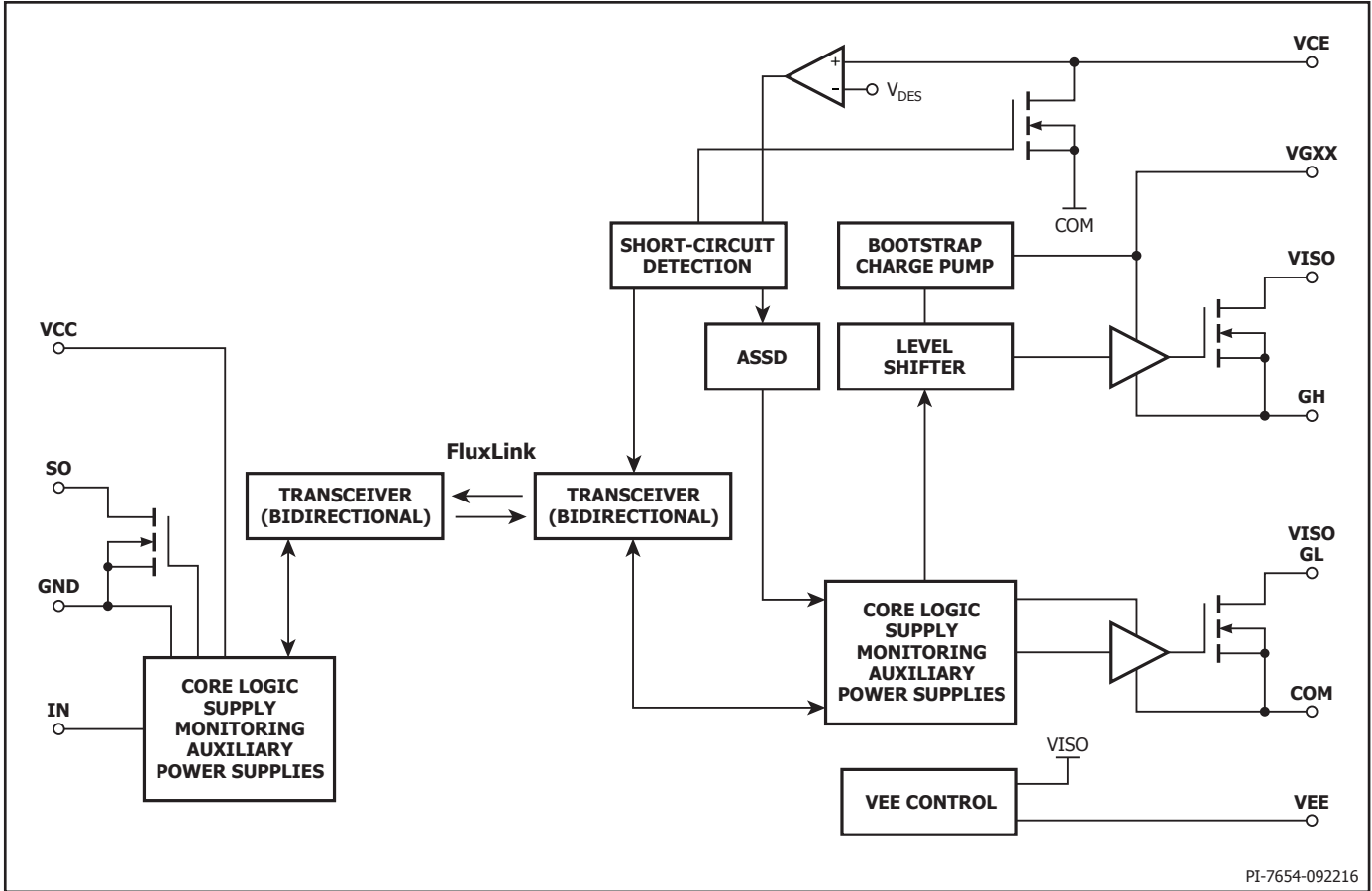


그림 1. 일반 애플리케이션 회로도

PI-7949-072616



PI-7654-092216

그림 3. 기능 블록 다이어그램

핀 기능 설명

VCC 핀(핀 1):

이 핀은 1차측 공급 전압의 연결 지점입니다.

GND 핀(핀 3-6):

이 핀은 1차측 그라운드 전위의 연결 지점입니다. 모든 1차측 전압은 이 핀을 기준으로 합니다.

IN 핀(핀 7):

이 핀은 로직 명령 신호의 입력입니다.

SO 핀(핀 8):

이 핀은 로직 고장 신호(오픈 드레인)의 출력입니다.

NC 핀(핀 9):

이 핀은 연결되지 않은 상태여야 합니다. 납땜을 위한 최소 PCB 패드 사이즈가 필요합니다.

VEE 핀(핀 10):

일반(IGBT 이미터/MOSFET 소스) 출력 공급 전압입니다.

VCE 핀(핀 11):

이 핀은 불포화 모니터링 전압 입력 연결 지점입니다.

VGXX 핀(핀 12):

이 핀은 부스트스트랩과 차지 펌프 공급 전압 소스입니다.

GH 핀(핀 13):

이 핀은 드라이버 출력 - 소싱 전류(턴온) 연결 지점입니다.

VISO 핀(핀 14):

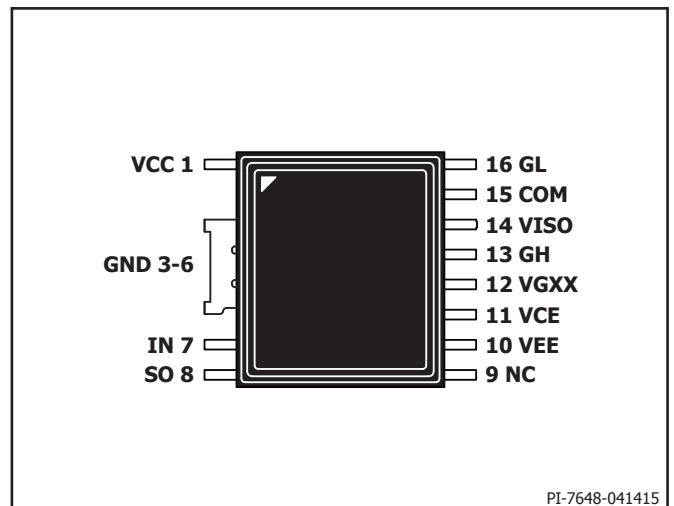
이 핀은 2차측 플러스 공급 전압에 대한 입력입니다.

COM 핀(핀 15):

이 핀은 2차측 레퍼런스 전위를 제공합니다.

GL 핀(핀 16):

이 핀은 드라이버 출력 - 싱킹 전류(턴오프)입니다.



PI-7648-041415

그림 4. 핀 구성

SCALE-iDriver 기능 설명

단일 채널 SCALE-iDriver™ 제품군은 최대 1200V의 블로킹 전압으로 IGBT 및 MOSFET 또는 기타 반도체 전력 스위치를 구동하고 마이크로 컨트롤러와 전력 반도체 스위치 사이의 강화 절연을 제공하도록 설계되었습니다. IN 핀을 통해 적용된 로직 입력(PWM) 명령 신호와 VCC 핀을 통해 공급된 1차측 공급 전압 모두 GND 핀을 기준으로 합니다. 전력 반도체 스위치와 SCALE-iDriver의 작동 상태는 SO 핀을 통해 모니터링 됩니다.

PMW 명령 신호는 FluxLink 절연 기술을 통해 1차측(IN)에서 2차측으로 전달됩니다. GH 핀은 턴온 프로세스동안 플러스 게이트 전압을 공급하고 디바이스의 게이트를 충전합니다. GL 핀은 턴오프 프로세스 동안 마이너스 전압을 공급하고 게이트를 방전시킵니다.

회로 단락 보호는 VCE 핀을 통해 불포화 감지 기술을 사용하여 구현됩니다. SCALE-iDriver가 회로 단락을 감지하면 ASSD(Advanced Soft Shut Down) 기술을 사용하여 반도체 턴오프 프로세스가 활성화됩니다.

파워 서플라이

SID11x2KQ는 두 개의 파워 서플라이를 필요로 합니다. 하나는 1차측 로직에 전력을 공급하고 2차(절연)측과 통신하는 1차측(V_{VCC})입니다. 2차측용으로 다른 공급 전압이 필요하고, VISO 핀과 COM 핀 사이에 V_{TOT}가 적용됩니다. V_{TOT}는 1차측에서 절연되어야 하고 최소한 SCALE-iDriver에서와 동일한 절연 기능을 제공해야 합니다. V_{TOT}는 1차측 또는 그 밖의 2차측으로의 낮은 커패시티브 커플링을 가져야 합니다. VISO가 플러스 게이트-이미터 전압 V_{VISO}를 제공합니다. 이는 내부적으로 생성되고 VEE에 대해 (일반적으로)15V로 안정화됩니다. COM에 대해 VEE가 마이너스 게이트-이미터 전압 V_{VEE}를 제공합니다. VEE 핀의 제한된 전류 소싱 기능으로 인해 다른 모든 추가 부하는 VISO와 COM 핀 사이에 적용되어야 합니다. VISO와 VEE 핀 사이 또는 VEE와 COM 핀 사이에 추가 부하는 허용되지 않습니다.

입력 및 고장 로직(1차측)

입력(IN) 및 출력(SO) 로직은 5V CMOS 로직을 사용하여 마이크로 컨트롤러와 함께 직접 작동하도록 설계되었습니다. 컨트롤러와 SCALE-iDriver 사이의 물리적 거리가 크거나 다른 로직 레벨이 필요한 경우 그림 5의 저항 분배기 또는 Schmitt-trigger IC(그림 13 및 14)를 사용할 수 있습니다. 두 솔루션 모두 필요에 따라 로직 레벨을 조정하고 드라이버의 노이즈 내성도 향상시킵니다.

게이트 드라이버 명령은 전파 지연 t_{p(LH)} 및 t_{p(HL)}와 함께 IN 핀에서 GH 및 GL 핀으로 전달됩니다.

일반 작동 중에 어떠한 고장도 감지되지 않으면 SO 핀은 높은 임피던스 상태(오픈)를 유지합니다. 모든 고장은 SO 핀을 GND에 연결하여 보고됩니다. SO 핀은 V_{VCC} 전압(1차측)이 UVLO_{VCC} 아래로 유지되고 전파 지연이 무시할 만한 경우 계속 낮게 유지됩니다. 불포화가 감지되거나(회로 단락이 있음) 공급 전압 V_{VISO}, V_{VEE}(2차측)가 UVLO_{VISO}, UVLO_{VEE} 아래로 떨어지면 SO 상태가 대기 시간 t_{FAULT}로 변경되고 한동안 t_{SO}로 정의된 낮은 상태를 유지합니다. 고장 조건이 발생하는 경우 드라이버가 OFF 상태를 적용합니다(GL 핀이 COM에 연결됨). t_{SO} 기간 동안에는 IN 핀의 명령 신호 전달이 무시됩니다. 드라이버가 ON 상태로 되려면 새 턴온 명령 전달이 필요합니다.

SO 핀 전류는 I_{SO}로 정의되고 로우 상태 동안의 전압은 V_{SO(FAULT)}로 정의됩니다.

출력(2차측)

구동될 전력 반도체 스위치의 게이트는 두 개의 서로 다른 저항 값을 사용하여 GH 및 GL 핀을 통해 SCALE-iDriver 출력에 연결될 수 있습니다. 턴온 게이트 저항 R_{GON}은 GH 핀에 연결되고 턴오프 게이트 저항 R_{GOFF}는 GL 핀에 연결되어야 합니다. 두 게이트 저항의 값이 동일한 경우 GL 및 GH 핀이 서로 연결될 수 있습니다. 참고: SCALE-iDriver 데이터 시트는 R_{GH} 및 R_{GL} 값을 각 해당 GH 및 GL 핀에 연결된 총 저항으로

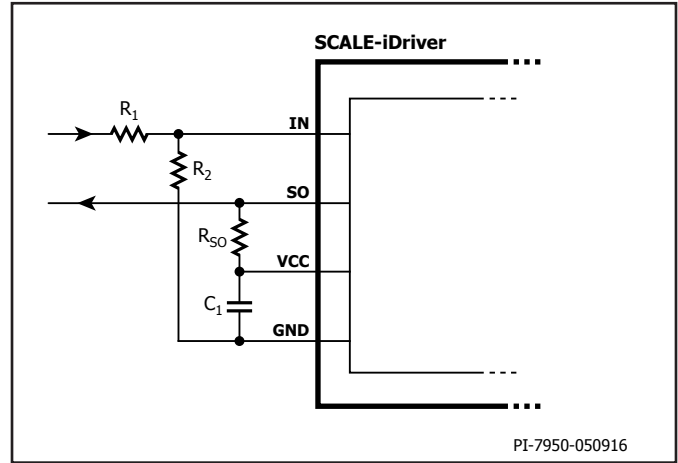


그림 5. 증가한 기준 전압(Threshold) V_{IN+LT} 및 V_{IN+HT} (R₁ = 3.3kΩ이고 R₂ = 1kΩ인 경우 IN 로직 레벨은 15V)

정의합니다. 대부분의 전력 반도체 데이터 시트는 전력 반도체 스위치에 이미 통합된 내부 게이트 저항 R_{GINT}를 지정합니다. R_{GINT} 외에 외부 저항 디바이스 R_{GON} 및 R_{GOFF}가 게이트 전류 레벨을 애플리케이션 요구 사항에 맞게 설정하도록 지정됩니다. 결과적으로 R_{GH}는 그림 9와 10에 나온 것처럼 R_{GON} 및 R_{GINT}의 합입니다. 외부 게이트 저항과 관련된 전류 소모 및 피크 전류에 대해서는 신중히 고려해야 합니다.

SID1182KQ의 GH 핀 출력 전류 소스(I_{GH})는 턴온 동안 최대 7.3A를 처리할 수 있고, GL 핀 출력 전류 소스(I_{GL})는 턴오프 동안 최대 8.0A를 싱크할 수 있습니다. SCALE-iDriver의 내부 저항은 각각 R_{GHI}와 R_{GII}로 설명됩니다. SCALE-iDriver 제품군의 게이트 저항이 더 높은 피크 전류를 끌어오려고 시도하는 경우 피크 전류는 내부적으로 안전한 값으로 제한됩니다(그림 6 및 7 참조). 그림 8은 동일한 게이트 저항 값, 부하 커패시턴스 및 레이아웃 디자인에 대해 지정된 공급 전압을 달성할 수 있는 피크 전류를 보여줍니다.

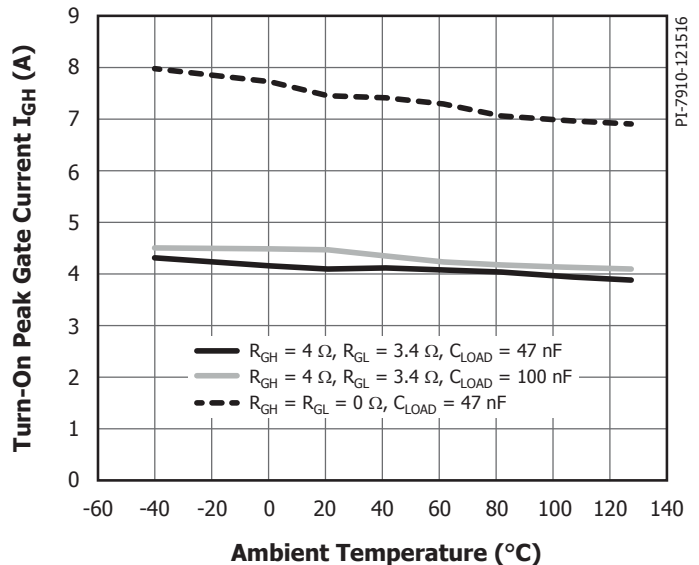


그림 6. 턴온 피크 출력 전류(소스)와 주변 온도 비교
조건: V_{VCC} = 5V, V_{TOT} = 25V, f_s = 20kHz, 듀티 사이클 = 50%.

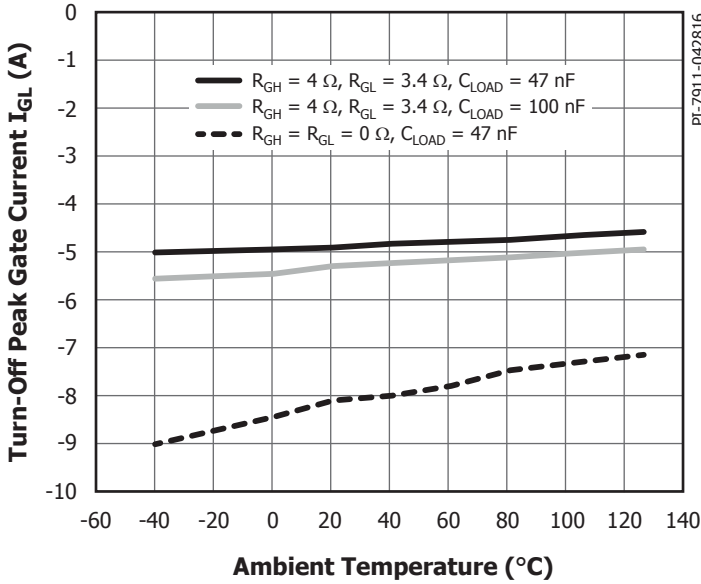


그림 7. 턴오프 피크 출력 전류(싱크)와 주변 온도 비교
조건: $V_{VCC} = 5V$, $V_{TOT} = 25V$, $f_s = 20kHz$, 듀티 사이클 = 50%.

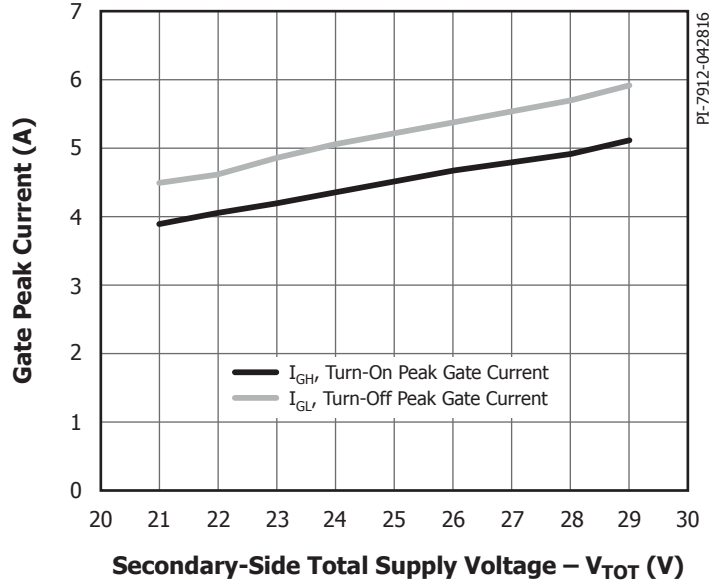


그림 8. 턴온 및 턴오프 피크 출력 전류와 2차측 총 공급 전압(V_{TOT}) 비교
조건: $V_{VCC} = 5V$, $T_j = 25^\circ C$, $R_{GH} = 4\Omega$, $R_{GL} = 3.4\Omega$, $C_{LOAD} = 100nF$, $f_s = 1kHz$, 듀티 사이클 = 50%.

단락 보호

SCALE-iDriver는 반도체 불포화 효과를 사용하여 회로 단락을 감지하고 ASSD(Advanced Soft Shut Down) 기술을 적용하여 디바이스가 손상되지 않도록 보호합니다. 불포화는 다이오드 센싱 회로 D_{VCE} (그림 10) 또는 저항 R_{VCEX} (그림 9)이라는 두 개의 서로 다른 회로를 사용하여 감지될 수 있습니다. 반도체 게이트와 VISO 핀 사이에 연결된 안정성이 뛰어난 V_{VISO} 및 쇼트키 다이오드(D_{STO})의 도움을 받아 회로 단락 전류 값이 안전한 값으로 제한될 수 있습니다.

OFF 상태 동안 VCE 핀은 내부적으로 COM 핀에 연결되고 C_{RES} 가 방전됩니다(그림 11의 빨간색 곡선은 VCE 핀의 전위를 나타냄). 전력 반도체 스위치에서 턴온 명령을 수신하면 콜렉터-이미터 전압(V_{CE})이 DC-link 전압과 동일한 OFF 상태 레벨에서 훨씬 낮은 ON 상태 레벨로 내려가고(그림 11의 파란색 곡선 참조) C_{RES} 가 최대 V_{CE} 포화 레벨($V_{CE SAT}$)까지 충전되기 시작합니다. C_{RES} 충전 시간은 R_{VCEX} 의 저항(그림 9), DC-link 전압과 C_{RES} 및 R_{VCE} 값에 따라 달라집니다. ON 상태 동안 V_{CE} 전압은 계속 관찰되고 레퍼런스 전압 V_{DES} 와 비교됩니다. V_{DES} 레벨은 IGBT 애플리케이션용으로 최적화되어 있습니다. V_{CE} 가 V_{DES} 보다 커지게 되면(그림 11의 빨간색 원) 드라이버가 제어된 콜렉터 전류 슬로프로 전력 반도체 스위치를 끄고 V_{CE} 과전압 발생분을 최대 콜렉터-이미터 전압(V_{CES}) 아래로 제한합니다. 이 시간 및 t_{SO} 동안의 턴온 명령은 무시되고 SO 핀이 GND에 연결됩니다.

응답 시간 t_{RES} 는 C_{RES} 충전 시간이고 중지된 V_{CE} 와 상승하는 V_{CE} 핀의 전압 사이의 딜레이를 설명합니다(그림 11 참조). 응답 시간은 반도체 턴온 동안의 잘못된 동작을 방지하기 위해 충분히 길어야 하고, R_{RES} 와 C_{RES} (그림 10) 또는 R_{VCE} 와 C_{RES} (그림 9) 값을 통해 조절될 수 있습니다. 반도체 제조업체에서 허용한 기간보다는 길 수 없습니다.

안전한 파워 업 및 파워 다운

드라이버 파워 업 및 파워 다운 동안 의도하지 않은 입력/출력 상태가 여러 번 발생할 수 있습니다. 이러한 효과를 방지하려면 파워 업 및 파워 다운 동안 IN 핀을 로직 로우 상태로 유지하는 것이 좋습니다. VCC, VISO, VEE 및 VGXX 핀과 관련된 모든 공급 전압은 그림 13 및 14에 표

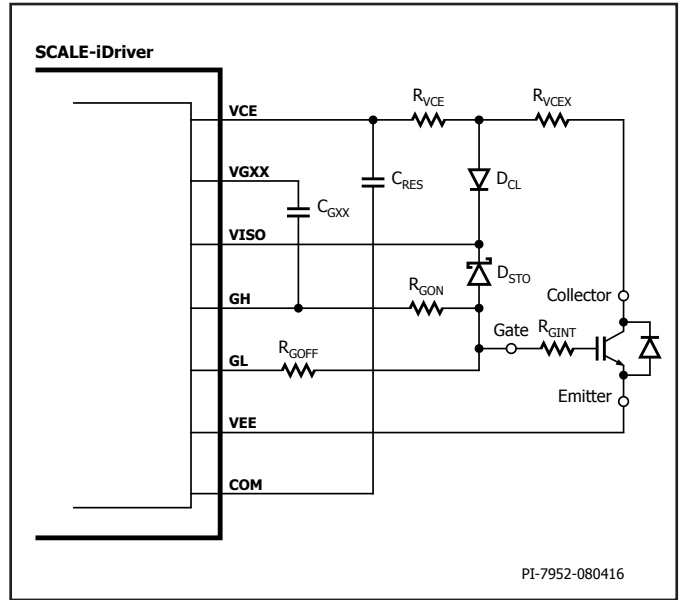


그림 9. 저항 체인 R_{VCEX} 를 사용한 회로 단락 보호

시된 것처럼 각각 세라믹 커패시터 C_1 , C_{S1X} , C_{S2X} , C_{GXX} 를 사용하여 안정화되어야 합니다. 공급 전압이 정격 값에 도달하면 드라이버가 t_{START} 의 시간 지연 후 작동을 시작합니다.

단기 펄스 작동

IN 핀에 적용된 명령 신호가 $t_{GE(MIN)}$ 에 지정된 최소값보다 짧아지면 SCALE-iDriver 출력 신호(GH 및 GL 핀)가 $t_{GE(MIN)}$ 값으로 확대됩니다. $t_{GE(MIN)}$ 보다 긴 펄스의 지속 시간은 변경되지 않습니다.

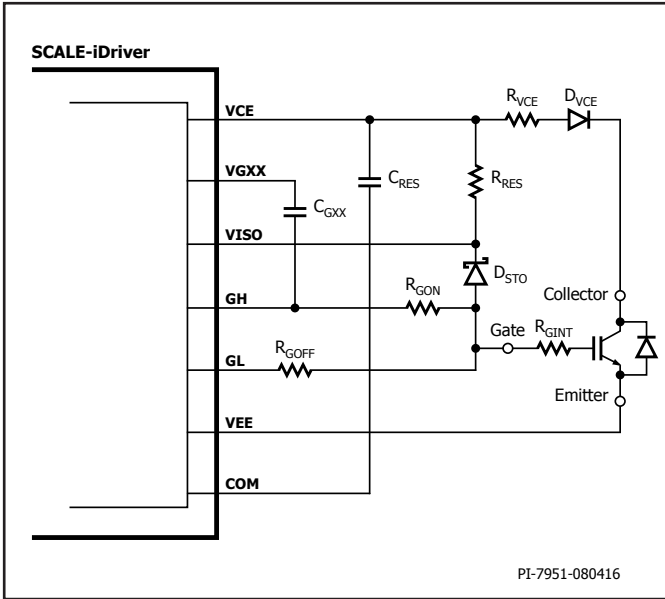


그림 10. 정류기 다이오드 D_{VCE} 를 사용한 회로 단락 보호

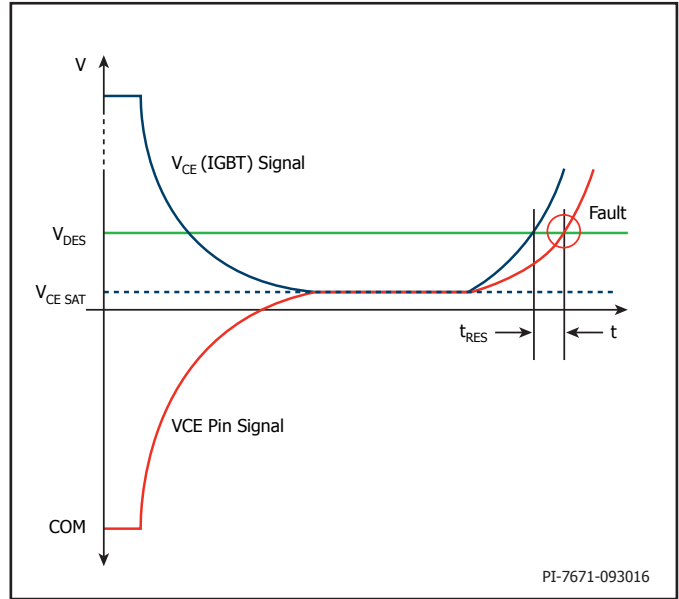


그림 11. 저항 체인 R_{VCEX} 를 사용한 회로 단락 보호

ASSD(Advanced Soft Shut Down)

이 기능은 회로 단락이 감지되면 작동합니다. 이는 순간적인 V_{CE} 과전압을 V_{CES} 아래로 유지하기 위해 턴온 상태를 종료하고 전류 슬로프를 제한하여 전력 반도체 스위치가 파괴되는 것을 방지합니다. 이 기능은 특히 IGBT 애플리케이션에 적합합니다. 그림 12는 ASSD 기능이 작동하는 방법을 보여줍니다. P1 기간 동안의 V_{CE} 불포화를 볼 수 있습니다 (노란색 선). 이 기간 동안 게이트-에미터 전압(녹색 선)은 매우 안정적으로 유지됩니다. 콜렉터 전류(분홍색 선)도 상당히 안정적이고 안전함

값으로 제한되어 있습니다. P1 기간 마지막에, V_{GE} 가 t_{FSSD1} 동안 감소합니다. 콜렉터 전류 감소로 인해 V_{CE} 과전압이 낮아집니다. t_{FSSD1} 동안 V_{GE} 가 더 줄어들고 전력 반도체 스위치의 게이트가 더 방전됩니다. t_{FSSD2} 동안 추가로 작은 V_{CE} 과전압이 발생할 수 있습니다. V_{GE} 가 IGBT의 게이트 기준점(Threshold) 아래로 떨어지면 콜렉터 전류가 거의 0으로 감소되고 나머지 게이트 충전이 제거되어, 회로 단락 현상이 종료됩니다. 전체 회로 단락 전류 감지 및 안전한 스위치 오픈은 10 μ s보다 낮습니다 (이 예에서는 8 μ s).

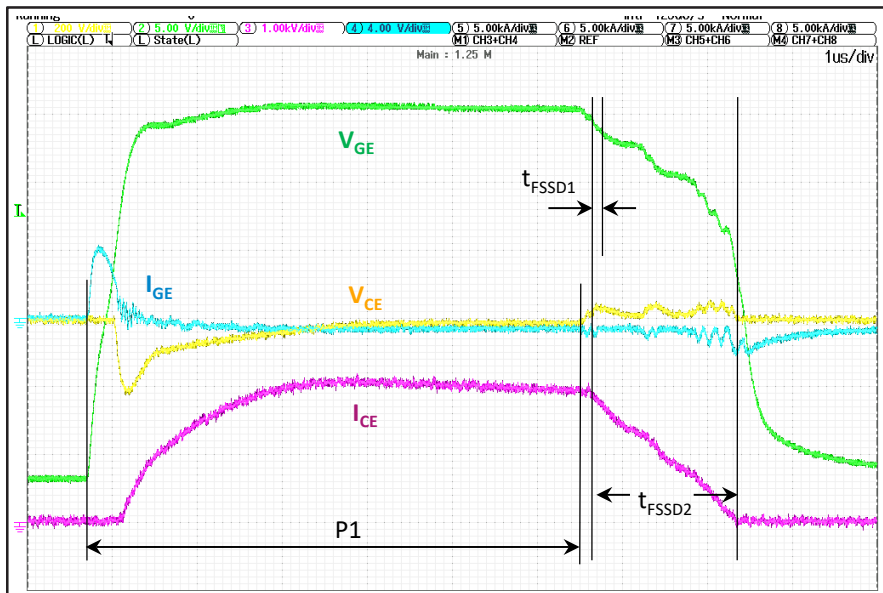


그림 12. ASSD(Advanced Soft Shut Down) 기능

애플리케이션 예제 및 부품 선택

그림 13 및 14는 SCALE-iDriver 설계에서 사용되는 회로도 및 일반적인 부품을 보여줍니다. 두 케이스 모두에서 1차측 공급 전압(V_{VCC})은 VCC와 GND 핀 사이에 연결되고 공급 바이패스 세라믹 커패시터 C_1 (일반적으로 4.7 μ F)을 통해 지원됩니다. 명령 신호 전압 레벨이 정격 IN 핀 전압(여기서는 15V)보다 높은 경우 저항 전압 분배기를 사용해야 합니다. 추가 커패시터 C_f 및 Schmitt trigger IC₁을 사용하여 입력 신호 필터링을 제공할 수 있습니다. SO 출력은 5V 로직을 갖고 최대 정격 절대값 I_{SO} 전류를 초과하지 않도록 R_{SO} 가 선택됩니다.

2차측 절연 파워 서플라이(V_{TOT})는 VISO와 COM 사이에 연결됩니다. 플러스 전압 레일(V_{VISO})은 병렬로 연결된 4.7 μ F 세라믹 커패시터 C_{S21} 및 C_{S22} 를 통해 지원됩니다. 마이너스 전압 레일(V_{VEE})도 이와 유사하게 커패시터 C_{S11} 및 C_{S12} 를 통해 지원됩니다. 게이트 충전은 구동되고 있는

전력 반도체 스위치 타입에 따라 달라집니다. 일반적으로 $C_{S11} + C_{S12}$ 는 최소한 3 μ F에 전력 반도체 스위치의 총 게이트 충전(Q_{GATE})을 곱하고 1 μ C로 나눈 값이어야 합니다. 10nF 커패시터 C_{GXX} 는 GH와 VGXX 핀 사이에 연결됩니다.

전력 반도체 스위치의 게이트는 저항 R_{GON} 을 통해 GH 핀에, R_{GOFF} 를 통해 GL 핀에 연결됩니다. R_{GON} 이 R_{GOFF} 와 동일한 경우 GH 핀은 GL 핀에 연결될 수 있고 공통 게이트 저항은 게이트에 연결될 수 있습니다. 어느 경우거나 게이트 저항의 전력 소모 및 온도 성능에 대한 적절한 고려가 필요합니다.

회로 단락 동안 게이트 전압 안정화와 콜렉터 전류 제한을 보장할 수 있도록 게이트는 쇼트키 다이오드 D_{STO} (예: PMEG4010)를 통해 VISO 핀에 연결됩니다.

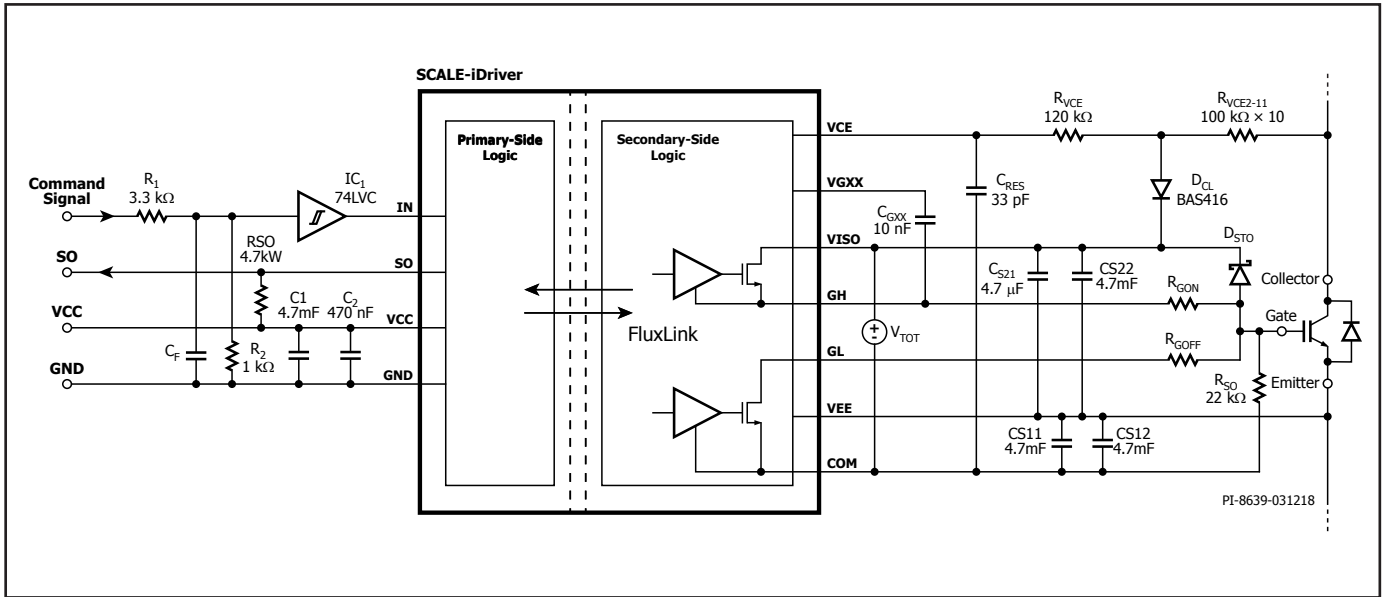


그림 13. 불포화 감지용 저항 네트워크를 사용한 SCALE-iDriver 애플리케이션 예제

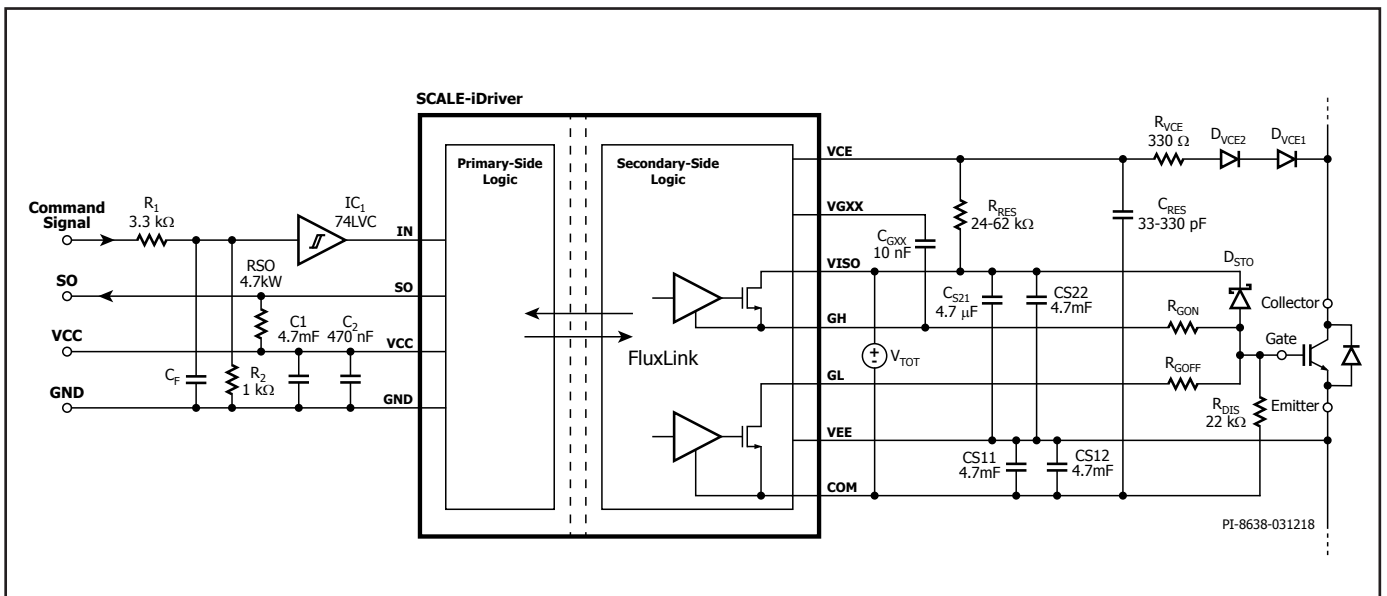


그림 14. 불포화 감지용 다이오드를 사용한 SCALE-iDriver 애플리케이션 예제

시스템 파워온 동안 기생 전력 스위치 도통을 피하기 위해 게이트가 22kΩ 저항을 통해 COM에 연결됩니다.

그림 13은 저항 $R_{VCE2} - R_{VCE11}$ 을 사용하여 스위치 불포화를 측정하는 방법을 보여줍니다. 이 예에서는 모든 저항이 1206 패키지를 사용하여 100kΩ의 값을 갖습니다. 총 저항은 1MΩ입니다. 저항은 최대 DC-link 전압에서 전류를 0.6mA~0.8mA로 제한하도록 선택되어야 합니다. $R_{VCE2} - R_{VCE11}$ 의 합계는 1200V 반도체의 경우 약 1MΩ, 600V 반도체의 경우 약 500kΩ이 되어야 합니다. 두 경우 모두에서 저항 스트링은 반도체의 콜렉터와 SCALE-iDriver 사이에 충분한 연면거리 및 공간거리를 제공해야 합니다. 낮은 누설 다이오드 D_{CL} 이 DC-link 전압 범위에서 회로 단락 지속 시간을 일정하게 유지합니다.

응답 시간은 R_{VCE} 및 C_{RES} 를 통해 설정됩니다(1200V 반도체의 경우 일반적으로 120kΩ 및 33pF). 회로 단락 감지가 너무 민감하다고 여겨지면 C_{RES} 값을 올릴 수 있습니다. 최대 회로 단락 지속 시간은 반도체 데이터 시트에 나온 최대값으로 제한되어야 합니다.

그림 14는 다이오드 D_{VCE1} 및 D_{VCE2} 를 사용하여 스위치 불포화를 측정하는 방법을 보여줍니다. 절연의 경우 SMD 패키지에 있는 두 개의 다이오드가 사용됩니다(예: STTH212U). VISO에 연결된 R_{RES} 는 반도체가 ON 상태일 때 다이오드를 통과하는 전류 흐름을 보장합니다. 스위치가 불포화되면 C_{RES} 가 R_{RES} 를 통해 충전되기 시작합니다. 이 구성에서 응답 시간은 R_{RES} 및 C_{RES} 에 의해 제어됩니다. 이 애플리케이션 예제에서 $C_{RES} = 33pF$ 이고 $R_{RES} = 62kΩ$ 입니다. 불포화가 너무 민감하거나 회로 단락 지속 시간이 너무 긴 경우 C_{RES} 와 R_{RES} 모두 조정할 수 있습니다.

PCB 패턴이 불포화 저항 또는 다이오드 D_{VCE1} 및 D_{VCE2} 아래의 영역을 덮지 않도록 확인하는 것이 중요합니다. 이는 SCALE-iDriver의 VCE 핀과 커플링 커패시터를 피하고 PCB 내의 절연 문제를 피하기 위한 매우 중요한 설계 요구 사항입니다.

게이트 저항은 전력 반도체 스위치에 물리적으로 가깝게 위치합니다. 이러한 부품은 뜨거워질 수 있으므로 SCALE-iDriver로부터 멀리 배치되는 것이 좋습니다.

전력 소모 및 IC 정선 온도 추정

전력 반도체 스위치 게이트 드라이버 스테이지 설계 시의 첫 번째 계산은 필요한 게이트 전력, 즉 P_{DRV} 를 계산하는 것입니다. 전력은 공식 1을 기반으로 계산됩니다.

$$P_{DRV} = Q_{GATE} \times f_s \times V_{TOT} \quad (1)$$

여기서,

Q_{GATE} - 제어된 전력 반도체 스위치 게이트 전하(V_{TOT} 에 의해 정의된 특정 게이트 전위 범위에 대해 파생됨). 반도체 제조업체 데이터 시트를 참조하십시오.

f_s - SCALE-iDriver의 IN 핀에 적용된 것과 동일한 스위칭 주파수.

V_{TOT} - SCALE-iDriver 2차측 공급 전압.

P_{DRV} 외에도, P_p (1차측 IC 전력 소모) 및 P_{SNL} (커패시티브 부하가 없는 상태의 2차측 IC 전력 소모)을 고려해야 합니다. 둘 모두 주변 온도 및 스위칭 주파수에 따라 달라집니다(일반 성능 특성 참조).

$$P_p = V_{VCC} \times I_{VCC} \quad (2)$$

$$P_{SNL} = V_{TOT} \times I_{VISO} \quad (3)$$

IC 동작 중에 P_{DRV} 전력이 턴온(R_{GH}), 턴오프(R_{GL}) 외부 게이트 저항과 내부 드라이버 저항인 R_{GHI} 및 R_{GLI} 사이에서 공유됩니다. 정선 온도 추정 목적으로 IC 내부에서 부하 상태의 소모된 전력(P_{OL})이 공식 4에 따라 계산될 수 있습니다.

$$P_{OL} = 0.5 \times Q_{GATE} \times f_s \times V_{TOT} \times \left(\frac{R_{GHI}}{R_{GHI} + R_{GH}} + \frac{R_{GHL}}{R_{GHL} + R_{GL}} \right) \quad (4)$$

R_{GH} 및 R_{GL} 은 외부(R_{GON} , R_{GOFF}) 및 전력 반도체 내부 게이트 저항(R_{GINT})의 합을 나타냅니다.

$$R_{GH} = R_{GON} + R_{GINT}$$

$$R_{GL} = R_{GOFF} + R_{GINT}$$

총 IC 전력 소모(P_{DIS})는 공식 2, 3 및 4의 합으로 추정됩니다.

$$P_{DIS} = P_p + P_{SNL} + P_{OL} \quad (5)$$

특정 주변 온도(T_A)에서의 작동 정선 온도(T_J)는 공식 6에 따라 추정될 수 있습니다.

$$T_J = \theta_{JA} \times P_{DIS} + T_A \quad (6)$$

예제

아래 예제를 살펴보십시오.

$f_s = 20kHz$, $T_A = 85^\circ C$, $V_{TOT} = 25V$, $V_{VCC} = 5V$.

$Q_{GATE} = 2.5\mu C$ (여기서 게이트 전하 값은 선택된 V_{TOT} 에 해당),

$R_{GINT} = 2.5\Omega$, $R_{GON} = R_{GOFF} = 1.8\Omega$.

$P_{DRV} = 2.5\mu C \times 20kHz \times 25V = 1.25W$, 공식 1에 따라 계산.

$P_p = 5V \times 13.5mA = 67mW$, 공식 2에 따라 계산(그림 16 참조).

$P_{SNL} = 25V \times 7.5mA = 185mW$, 공식 3에 따라 계산(그림 17 참조).

부하 상태의 전력 소모:

$$P_{OL} = 0.5 \times 2.5 \mu C \times 20 kHz \times 25 V \times \left(\frac{1.45 \Omega}{1.45 \Omega + 4.3 \Omega} + \frac{1.2 \Omega}{1.2 \Omega + 4.3 \Omega} \right) \cong 0.3 W,$$

공식 4에 따라 계산.

$R_{GHI} = 1.45\Omega$ - 최대 데이터 시트 값.

$R_{GHL} = 1.2\Omega$ - 최대 데이터 시트 값.

$R_{GH} = R_{GL} = 1.8\Omega + 2.5\Omega = 4.3\Omega$.

$P_{DIS} = 67mW + 185mW + 300mW = 552mW$ - 공식 5에 따라 계산.

$T_J = 67^\circ C/W \times 552mW + 85^\circ C = 122^\circ C$ - 공식 6에 따라 계산.

이 설계에 대한 추정 정선 온도는 약 $122^\circ C$ 이며 권장된 최대 값보다 낮습니다. 게이트 전하가 선택된 V_{TOT} 로 조정되지 않았으며 내부 IC 저항 값은 최대값이므로 이 예제는 worst case를 나타낸다고 볼 수 있습니다.

표 2는 SCALE-iDriver의 최적 성능을 달성하기 위해 권장하는 커패시터 및 저항 특성과 레이아웃 요구 사항을 설명합니다.

VCE 저항 체인				
Pin	Return Pin	권장 값	기호	비고
Command Signal	IC ₁	애플리케이션별	R ₁	5V보다 큰 명령 신호가 사용되는 경우에 필요합니다. 15V 입력 로직에 대해 3.3kΩ 값이 권장됩니다. 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다.
R ₁	GND	애플리케이션별	R ₂	5V보다 큰 명령 신호가 사용되는 경우에 필요합니다. 15V 입력 로직에 대해 1.2kΩ 값이 권장됩니다. 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다.
SO	VCC	4.7kΩ	R _{SO}	풀업 저항, 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다.
VCC	GND	4.7μF	C ₁	VCC 블로킹 커패시터 C ₁ 은 IC 근처에 배치되어야 합니다. 늘어진 루프는 작동 중에 부족한 VCC 공급 전압을 발생시킬 수 있습니다. C ₁ 의 경우, 1206 패키지에서 X7R / 25V / 10%를 권장합니다.
VCC	GND	470nF	C ₂	VCC 블로킹 커패시터 C ₂ 는 IC 근처에 배치되어야 합니다. 늘어진 루프는 작동 중에 부족한 VCC 공급 전압을 발생시킬 수 있습니다. C ₂ 의 경우, 0608 패키지에서 X7R / 25V / 10%를 권장합니다.
R ₁	GND	애플리케이션별	C _F	사용되는 경우, 타우는 $\tau = (R_1 \times R_2 \times C_F) / (R_1 + R_2)$ 로 결정됩니다. 0603 패키지에서 NP0, COG / 50V / 5% 사용을 권장합니다.
R ₁	IN	애플리케이션별	IC ₁	명령 신호 입력에서 잘못된 신호 품질이 예상되는 경우, Schmitt trigger를 사용하여 IN 핀에서 신호 품질을 향상시킬 수 있습니다. 참고로 Nexperia 74LVC1G17-Q100을 사용할 수 있습니다.
VEE	COM	애플리케이션별	C _{S1x}	C _{S1x} 는 최소한 3μF에 전력 반도체 스위치의 총 게이트 전하(Q _{GATE})를 곱하고 1μC로 나눈 값이어야 합니다. 1206 패키지에서 X7R / 25V / 10% 사용을 권장합니다. 이 커패시터는 IC 핀과 가까이 놓여 있어야 합니다.
VISO	VEE	애플리케이션별	C _{S2x}	C _{S2x} 는 최소한 3μF에 전력 반도체 스위치의 총 게이트 전하(Q _{GATE})를 곱하고 1μC로 나눈 값이어야 합니다. 1206 패키지에서 X7R / 25V / 10% 사용을 권장합니다. 이 커패시터는 IC 핀과 가까이 놓여 있어야 합니다.
VCE	COM	애플리케이션별	C _{RES}	회로 단락 응답 시간 커패시터. 33pF는 일반적인 애플리케이션 값이며, 높은 값은 응답 시간을 증가시키고 작은 값은 감소시킵니다. 올바른 값을 결정하기 위해 더블 펄스 구성에서의 회로 단락 테스트를 권장합니다. 또한, 0603 패키지에서 NP0, COG / 50V / 5% 사용을 권장합니다. 기생 효과를 피할 수 있도록 모든 넷 레이아웃 및 기타 레이아웃에서 C _{RES} 에 대해 충분한 거리를 제공해야 합니다.
VGXX	GH	10nF	C _{GXX}	오작동을 피하기 위해 이 핀은 다른 무엇과도 연결되지 않아야 합니다. 이 커패시터는 IC 핀과 가능한 한 가까이 있어야 합니다. 0603 패키지에서 X7R / 25V / 10% 사용을 권장합니다.
D _{CL}	VCE	120kΩ	R _{VCE1}	회로 단락 응답 시간 저항. 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다. 기생 효과를 피할 수 있도록 모든 넷 레이아웃 및 기타 레이아웃에서 R _{VCE1} 에 대해 충분한 거리를 제공해야 합니다.

전력 반도체 콜렉터	R_{VCE1}	10 x 120k Ω	$R_{VCE2} - R_{VCE10}$	DC-link 전압이 800V인 경우, 회로 단락 저항 체인의 전체 값은 1.2M Ω 이며 전류는 0.67mA가 됩니다. 다른 값도 가능하지만 체인을 통과하는 전류는 0.6~0.8mA가 되도록 고려해야 합니다. 1206 패키지에서 1% / 0.25W / 200V 사용을 권장합니다. 기생 효과를 피할 수 있도록 모든 넷 레이어 및 기타 레이어에서 $R_{VCE2} - R_{VCE10}$ 에 대해 충분한 거리를 제공해야 합니다.
전력 반도체 게이트	COM	22k Ω	R_{DIS}	"시스템 파워 온 동안 기생 전력 스위치 도통을 피하기 위해 게이트가 22k Ω 을 통해 COM에 연결됩니다. 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다."
VISO	전력 반도체 게이트	쇼트키 다이오드	D_{STO}	"회로 단락 동안 게이트 전압 안정화와 콜렉터 전류 제한을 보장할 수 있도록 게이트는 쇼트키 다이오드 D_{STO} 를 통해 VISO 핀에 연결됩니다. D_{STO} 는 전력 반도체 게이트뿐만 아니라 커패시터 C_{SI} 에도 가까이 연결되어야 합니다. 늘어진 루프는 회로 단락 전류를 증가시킬 수 있습니다. Nexperia PMEG4010CEJ 사용을 권장합니다."
R_{VCE1}	VISO	다이오드	D_{CL}	다이오드를 2차측 파워 서플라이 전압에 클램핑합니다. Nexperia BAS416 사용을 권장합니다. 기생 효과를 피할 수 있도록 모든 넷 레이어 및 기타 레이어에서 D_{CL} 에 대해 충분한 거리를 제공해야 합니다.
전력 반도체 게이트	GH	애플리케이션별	R_{GON}	턴온 게이트 저항이 뜨거워지므로 부품을 게이트 드라이버 IC에서 떨어진 곳에 배치해야 합니다.
전력 반도체 게이트	GL	애플리케이션별	R_{GOFF}	턴오프 게이트 저항이 뜨거워지므로 부품을 게이트 드라이버 IC에서 떨어진 곳에 배치해야 합니다.

표 2. 그림 13을 참조하는 PCB 레이아웃 및 부품 지침

VCE 다이오드 체인

Pin	Return Pin	권장 값	기호	비고
Command Signal	IC ₁	애플리케이션별	R ₁	5V보다 큰 명령 신호가 사용되는 경우에 필요합니다. 15V 입력 로직에 대해 3.3kΩ 값이 권장됩니다. 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다.
R ₁	GND	애플리케이션별	R ₂	5V보다 큰 명령 신호가 사용되는 경우에 필요합니다. 15V 입력 로직에 대해 1.2kΩ 값이 권장됩니다. 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다.
SO	VCC	4.7kΩ	R _{SO}	풀업 저항, 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다.
VCC	GND	4.7μF	C ₁	VCC 블로킹 커패시터 C ₁ 은 IC 근처에 배치되어야 합니다. 늘어진 루프는 작동 중에 부족한 VCC 공급 전압을 발생시킬 수 있습니다. C ₁ 의 경우, 1206 패키지에서 X7R / 25V / 10%를 권장합니다.
VCC	GND	470nF	C ₂	VCC 블로킹 커패시터 C ₂ 는 IC 근처에 배치되어야 합니다. 늘어진 루프는 작동 중에 부족한 VCC 공급 전압을 발생시킬 수 있습니다. C ₂ 의 경우, 0608 패키지에서 X7R / 25V / 10%를 권장합니다.
R ₁	GND	애플리케이션별	C _F	사용되는 경우, 타우는 $\tau = (R_1 \times R_2 \times C_F) / (R_1 + R_2)$ 로 결정됩니다. 0603 패키지에서 NPO, COG / 50V / 5% 사용을 권장합니다.
R ₁	IN	애플리케이션별	IC ₁	명령 신호 입력에서 잘못된 신호 품질이 예상되는 경우, Schmitt trigger를 사용하여 IN 핀에서 신호 품질을 향상시킬 수 있습니다. 참고로 Nexperia 74LVC1G17-Q100을 사용할 수 있습니다.
VEE	COM	애플리케이션별	C _{S1x}	C _{S1x} 는 최소한 3μF에 전력 반도체 스위치의 총 게이트 전하(Q _{GATE})을 곱하고 1μC로 나눈 값이어야 합니다. 1206 패키지에서 X7R / 25V / 10% 사용을 권장합니다. 이 커패시터는 IC 핀과 가까이 놓여 있어야 합니다.
VISO	VEE	애플리케이션별	C _{S2x}	C _{S2x} 는 최소한 3μF에 전력 반도체 스위치의 총 게이트 전하(Q _{GATE})을 곱하고 1μC로 나눈 값이어야 합니다. 1206 패키지에서 X7R / 25V / 10% 사용을 권장합니다. 이 커패시터는 IC 핀과 가까이 놓여 있어야 합니다.
VCE	COM	애플리케이션별	C _{RES}	회로 단락 응답 시간 커패시터. 33pF는 일반적인 애플리케이션 값이며, 높은 값은 응답 시간을 증가시키고 작은 값은 감소시킵니다. 33pF~330pF 범위에서 조정할 수 있습니다. 올바른 값을 결정하기 위해 더블 펄스 구성에서의 회로 단락 테스트를 권장합니다. 또한, 0603 패키지에서 NPO, COG / 50V / 5% 사용을 권장합니다. 기생 효과를 피할 수 있도록 모든 넷 레이어 및 기타 레이어에서 C _{RES} 에 대해 충분한 거리를 제공해야 합니다.
VGXX	GH	10nF	C _{GXX}	오작동을 피하기 위해 이 핀은 다른 무엇과도 연결되지 않아야 합니다. 이 커패시터는 IC 핀과 가능한 한 가까이 있어야 합니다. 0603 패키지에서 X7R / 25V / 10% 사용을 권장합니다.
D _{VCE2}	VCE	330Ω	R _{VCE}	0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다. 기생 효과를 피할 수 있도록 모든 넷 레이어 및 기타 레이어에서 R _{VCE} 에 대해 충분한 거리를 제공해야 합니다.

VCE	VISO	애플리케이션별	R_{RES}	이 저항은 C_{RES} 와 함께 회로 단락 응답 시간을 설정합니다. 24kΩ~62kΩ 범위에서 조정할 수 있습니다. 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다. 기생 효과를 피할 수 있도록 모든 네트 레이어 및 기타 레이어에서 R_{RES} 에 대해 충분한 거리를 제공해야 합니다.
전력 반도체 게이트	COM	22kΩ	R_{DIS}	"시스템 파워온 동안 기생 전력 스위치 도통을 피하기 위해 게이트가 22kΩ을 통해 COM에 연결됩니다. 0603 패키지에서 1% / 0.1W / 50V 사용을 권장합니다."
전력 반도체 콜렉터	R_{RES}	애플리케이션별	D_{VCE1}/D_{VCE2}	회로 단락 감지를 위한 고전압 다이오드. 연면거리 및 공간거리를 고려해야 합니다. STTH212U 또는 이와 동등한 것이 사용될 수 있습니다. 기생 효과를 피할 수 있도록 모든 네트 레이어 및 기타 레이어에서 D_{VCE1} 및 D_{VCE2} 에 대해 충분한 거리를 제공해야 합니다.
VISO	전력 반도체 게이트	쇼트키 다이오드	D_{STO}	"회로 단락 동안 게이트 전압 안정화와 콜렉터 전류 제한을 보장할 수 있도록 게이트는 쇼트키 다이오드 D_{STO} 를 통해 VISO 핀에 연결됩니다. D_{STO} 는 전력 반도체 게이트뿐만 아니라 커패시터 C_{S1} 에도 가까이 연결되어야 합니다. 늘어진 루프는 회로 단락 전류를 증가시킬 수 있습니다. Nexperia PMEG4010CEJ 사용을 권장합니다."
R_{VCE1}	VISO	다이오드	D_{CL}	다이오드를 2차측 파워 서플라이 전압에 클램핑합니다. Nexperia BAS416 사용을 권장합니다. 기생 효과를 피할 수 있도록 모든 네트 레이어 및 기타 레이어에서 D_{CL} 에 대해 충분한 거리를 제공해야 합니다.
전력 반도체 게이트	GH	애플리케이션별	R_{GON}	턴온 게이트 저항이 뜨거워지므로 부품을 게이트 드라이버 IC에서 떨어진 곳에 배치해야 합니다.
전력 반도체 게이트	GL	애플리케이션별	R_{GOFF}	턴오프 게이트 저항이 뜨거워지므로 부품을 게이트 드라이버 IC에서 떨어진 곳에 배치해야 합니다.

표 3. 그림 14를 참조하는 PCB 레이아웃 및 부품 지침

파라미터	기호	조건	최소	최대	단위
최대 정격 절대값¹					
1차측 공급 전압 ²	V_{VCC}	VCC - GND	-0.5	6.5	V
2차측 총 공급 전압	V_{TOT}	VISO - COM	-0.5	30	V
2차측 플러스 공급 전압	V_{VISO}	VISO - VEE	-0.5	17.5	V
2차측 마이너스 공급 전압	V_{VEE}	VEE - COM	-0.5	15	V
로직 입력 전압(명령 신호)	V_{IN}	IN - GND	-0.5	$V_{VCC} + 0.5$	V
로직 출력 전압(고장 신호)	V_{SO}	SO - GND	-0.5	$V_{VCC} + 0.5$	V
로직 출력 전류(고장 신호)	I_{SO}	핀으로 흐르는 플러스 전류		10	mA
VCE 핀 전압	V_{VCE}	VCE - COM	-0.5	$V_{TOT} + 0.5$	V
스위칭 주파수	f_S			75	kHz
보관 온도	T_S		-65	150	°C
작동 정선 온도	T_J		-40	150 ³	°C
작동 주변 온도	T_A		-40	125	°C
작동 케이스 온도	T_C		-40	125	°C
입력 전력 소모 ⁴	P_P	$V_{VCC} = 5V, V_{TOT} = 28V,$ $T_A = 25^\circ C$ $f_S = 75kHz$		115	mW
출력 전력 소모 ⁴	P_S			1675	
총 IC 전력 소모 ⁴	P_{DJS}			1790	

참고:

1. 최대 정격 절대값에 나열된 값보다 큰 스트레스는 디바이스에 영구적인 손상을 줄 수 있습니다.
2. VCC 핀에서 직접 측정된 피크 전압으로 정의됩니다.
3. 권장 값보다 높은 정선 온도에서 명령 신호의 전송은 PCB 레이아웃 기생 인덕턴스로부터 영향을 받을 수 있습니다.
4. 입력 전력 소모는 공식 2를 참조합니다. 출력 전력 소모는 커패시티브 부하가 없는 상태의 2차측 IC 전력 소모(P_{SNL} , 공식 3)와 부하가 있는 상태의 전력 소모(P_{OL} , 공식 4)입니다. 총 IC 전력 소모는 P_P 와 P_S 의 합계입니다.

써멀 저항

써멀 저항: eSOP-R16B 패키지:

(θ_{JA}) 67°C/W¹
 (θ_{JC}) 34°C/W²

참고:

1. 2oz.(610g/m²) 동판에 납땀.
2. 케이스 온도는 패키지 상단의 플라스틱 표면에서 측정.

파라미터	기호	조건	최소	일반	최대	단위
		$T_j = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ '참고 1' 참조(특별히 지정되지 않은 경우)				
권장 작동 조건						
1차측 공급 전압	V_{VCC}	VCC – GND	4.75		5.25	V
2차측 총 공급 전압	V_{TOT}	VISO – COM	22		28	V
로직 로우 입력 전압	V_{IL}				0.5	V
로직 하이 입력 전압	V_{IH}		3.3			V
스위칭 주파수	f_s		0		75	kHz
작동 IC 정션 온도	T_j		-40		125	$^{\circ}\text{C}$
전기적 특성						
로직 로우 입력 기준 전압 (Threshold)	V_{IN+LT}	$f_s = 0\text{Hz}$	0.6	1.25	1.8	V
로직 하이 입력 기준 전압 (Threshold)	V_{IN+HT}	$f_s = 0\text{Hz}$	1.7	2.2	3.05	V
로직 입력 전압 히스테리시스(Hysteresis)	V_{IN+HS}	$f_s = 0\text{Hz}$	0.1			V
입력 바이어스 전류	I_{IN}	$V_{IN} = 5\text{V}$	56	113	165	μA
		$V_{IN} > 3\text{V}$ '참고 12' 참조		106		
공급 전류 (1차측)	I_{VCC}	$V_{IN} = 0\text{V}$	4	11	17	mA
		$V_{IN} = 5\text{V}$		16	23	
		$f_s = 20\text{kHz}$		14.5	20	
		$f_s = 75\text{kHz}$		16.3	23	
공급 전류 (2차측)	I_{VISO}	$V_{IN} = 0\text{V}$		6	8	mA
		$V_{IN} = 5\text{V}$		7	9	
		$f_s = 20\text{kHz}$		7.4	10	
		$f_s = 75\text{kHz}$		10.3	14	
파워 서플라이 모니터링 기준점(Threshold)(1차측)	$UVLO_{VCC}$	고장 해제		4.28	4.65	V
		고장 설정	3.85	4.12		
		히스테리시스(Hysteresis), '참고 3, 4' 참조	0.02			
파워 서플라이 모니터링 기준점(Threshold) (2차측, 플러스 레일 V_{VISO})	$UVLO_{VISO}$	고장 해제		12.85	13.5	V
		고장 설정, '참고 3'	11.7	12.35		
		히스테리시스(Hysteresis)	0.3			
파워 서플라이 모니터링 블랭킹 시간, V_{VISO}	$UVLO_{VISO(BL)}$	13.5V에서 11.5V로 전압 강하 '참고 12' 참조	0.5			μs
파워 서플라이 모니터링 기준점(Threshold) (2차측, 마이너스 레일 V_{VEE})	$UVLO_{VEE}$	고장 해제, $V_{TOT} = 20\text{V}$		5.15	5.5	V
		고장 설정, $V_{TOT} = 20\text{V}$	4.67	4.93		
		히스테리시스(Hysteresis)	0.1			

파라미터	기호	조건		최소	일반	최대	단위	
		$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ '참고 1' 참조(특별히 지정되지 않은 경우)						
전기적 특성(계속)								
파워 서플라이 모니터링 블랭킹 시간, V_{VEE}	$UVLO_{VEE(BL)}$	5.5V에서 4.5V로 전압 강하 '참고 12' 참조		0.5			μs	
2차측 플러스 공급 전압 레귤레이션	$V_{VISO(HS)}$	$21\text{V} \leq V_{TOT} \leq 30\text{V}$, $ i(V_{VEE}) \leq 1.5\text{mA}$		14.4	15.07	15.75	V	
VEE 소스 용량	$I_{VEE(SO)}$	$V_{TOT} = 15\text{V}$, V_{VEE} 는 0V로 설정		0.1			mA	
		$V_{TOT} = 25\text{V}$, V_{VEE} 는 7.5V로 설정 '참고 13' 참조		1.85	3.3	4.5		
VEE 싱크 용량	$I_{VEE(SI)}$	$V_{TOT} = 25\text{V}$, V_{VEE} 는 12.5V로 설정 '참고 13' 참조		1.74	3.1	4.5	mA	
DESAT 감지 레벨	V_{DES}	$V_{CE} - V_{VEE}$, $V_{IN} = 5\text{V}$		7.2	7.8	8.3	V	
DESAT 싱크 전류	I_{DES}	$V_{VCE} = 10\text{V}$, $V_{IN} = 0\text{V}$		15	28	50	mA	
DESAT 바이어스 전류	$I_{DES(BS)}$	$V_{VCE} - V_{VEE} = 4.5\text{V}$, $V_{IN} = 5\text{V}$		-0.5		3	μA	
VCE 핀 커패시턴스	C_{VCE}	VCE와 COM 핀 사이, '참고 12' 참조				12.5	pF	
턴온 전파 지연	$t_{P(LH)}$	$T_J = 25^{\circ}\text{C}$, '참고 5' 참조		180	253	340	ns	
		$T_J = 125^{\circ}\text{C}$, '참고 5' 참조		210	278	364		
턴오프 전파 지연	$t_{P(HL)}$	$T_J = 25^{\circ}\text{C}$, '참고 6' 참조		200	262	330	ns	
		$T_J = 125^{\circ}\text{C}$, '참고 6' 참조		211	287	359		
최소 턴온 및 턴오프 펄스	$t_{GE(MIN)}$	'참고 12' 참조				650	ns	
출력 상승 시간	t_R	C_G 없음, '참고 7' 참조				22	45	ns
		$C_G = 10\text{nF}$, '참고 7' 참조	SID1132KQ '참고 12' 참조				450	
			SID1182KQ		55	90	150	
		$C_G = 47\text{nF}$, '참고 7' 참조	SID1132KQ '참고 12' 참조				1950	
SID1182KQ			300	465	650			
출력 하강 시간	t_F	C_G 없음, '참고 8' 참조				18	45	ns
		$C_G = 10\text{nF}$, '참고 8' 참조	SID1132KQ '참고 12' 참조				450	
			SID1182KQ		40	81	150	
		$C_G = 47\text{nF}$, '참고 8' 참조	SID1132KQ '참고 12' 참조				1950	
SID1182KQ			300	460	650			

파라미터	기호	조건		최소	일반	최대	단위	
		$T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ '참고 1' 참조 (특별히 지정되지 않은 경우)						
전기적 특성(계속)								
ASSD 변화율	t_{FSSD1}	VGE가 14.5V에서 14V로 변경, '참고 12' 참조			60		ns	
	t_{FSSD2}	VGE가 14.5V에서 2.5V로 변경, '참고 12' 참조		950	1828	2800		
전파 지연 지터		'참고 12' 참조			± 5		ns	
고장 신호화 지연 시간	t_{FAULT}	'참고 10' 참조			190	750	ns	
SO 고장 신호화 시간	t_{SO}			6.8	10	13.4	μs	
파워온 스타트업 시간	t_{START}	'참고 11' 참조				10	ms	
게이트 소싱 피크 전류, GH 핀	I_{GH}	$V_{\text{GH}} \geq V_{\text{TOT}} - 8.8\text{V}$ $C_{\text{G}} = 470\text{nF}$ '참고 13' 참조	SID1132KQ '참고 12' 참조	1.2			A	
			SID1182KQ	3.6	4.6	5.5		
		$R_{\text{G}} = 0, C_{\text{G}} = 47\text{nF}$ '참고 2, 12, 13' 참조	SID1132KQ		2.4			
			SID1182KQ		7.3			
게이트 싱킹 피크 전류 GL 핀	I_{GL}	$V_{\text{GL}} \leq 7.5\text{V}$ $C_{\text{G}} = 470\text{nF}$ V_{GL} 의 기준은 COM	SID1132KQ '참고 12' 참조	1.3			A	
			SID1182KQ	4	4.8	5.5		
		$R_{\text{G}} = 0, C_{\text{G}} = 47\text{nF}$ '참고 2, 12' 참조	SID1132KQ		2.6			
			SID1182KQ		7.8			
턴온 내부 게이트 저항	R_{GHI}	$I(\text{GH}) = -250\text{mA}$ $V_{\text{IN}} = 5\text{V}$	SID1132KQ '참고 12' 참조			4.8	Ω	
			SID1182KQ		0.76	1.2		
턴오프 내부 게이트 저항	R_{GLI}	$I(\text{GL}) = 250\text{mA}$ $V_{\text{IN}} = 0\text{V}$	SID1132KQ '참고 12' 참조			4	Ω	
			SID1182KQ		0.68	1.1		
턴온 게이트 출력 전압	$V_{\text{GH(ON)}}$	$I(\text{GH}) = 6.6\text{mA}$ $V_{\text{IN}} = 5\text{V}$, '참고 13' 참조	SID1132KQ '참고 12' 참조	$V_{\text{TOT}} - 0.04$			V	
			SID1182KQ					
턴오프 게이트 출력 전압 (COM 핀 참조)	$V_{\text{GL(OFF)}}$	$I(\text{GL}) = -6.6\text{mA}$ $V_{\text{IN}} = 0\text{V}$	SID1132KQ '참고 12' 참조			0.04	V	
			SID1182KQ					
SO 출력 전압	$V_{\text{SO(FAULT)}}$	고장 조건, $I_{\text{SO}} = 3.4\text{mA}$, $V_{\text{VCC}} \geq 3.9\text{V}$			210	450	mV	

파라미터	기호	조건	최소	일반	최대	단위
		$T_j = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ '참고 1' 참조(특별히 지정되지 않은 경우)				
패키지 특성('참고 12, 14' 참조)						
절연 거리	DTI	최소 내부 갭(내부 공간거리)	0.4			mm
최소 에어 갭(공간거리)	L1(IO1)	단자 간 최단 공간거리	9.5			mm
최소 외부 트레이킹(연면거리)	L2(IO2)	패키지 표면에서의 단자 간 최단 거리	9.5			mm
트레이킹 저항(비교 가능 트레이킹 인덱스)	CTI	DIN EN 60112(VDE 0303-11): 2010-05 EN / IEC 60112:2003 + A1:2009	600			
절연 저항, 입력-출력 '참고 16' 참조	R_{IO}	$V_{IO} = 500\text{V}, T_j = 25^{\circ}\text{C}$	10^{12}			Ω
		$V_{IO} = 500\text{V}, 100^{\circ}\text{C} \leq T_j \leq T_{C(\text{MAX})}$	10^{11}			
절연 커패시턴스, 입력-출력 '참고 16' 참조	C_{IO}			1		pF
패키지 절연 특성						
최대 작동 절연 전압	V_{IOWM}				1000	V_{RMS}
최대 반복 피크 절연 전압	V_{IORM}				1414	V_{PEAK}
입력-출력 테스트 전압	V_{PD}	방법 A, 환경 테스트 하위 그룹 1 후, $V_{PR} = 1.6 \times V_{IORM}, t = 10\text{s}$ (검증) 부분 방전 < 5pC			2263	V_{PEAK}
		방법 A, 입력/출력 안전 테스트 하위 그룹 2/3 후, $V_{PR} = 1.2 \times V_{IORM}, t = 10\text{s}$, (검증) 부분 방전 < 5pC			1697	
		방법 B1, 100% 생산 테스트, $V_{PR} = 1.875 \times V_{IORM}, t = 1\text{s}$ 부분 방전 < 5pC			2652	
최대 과도 절연 전압	V_{IOTM}	$V_{TEST} = V_{IOTM}, t = 60\text{s(검증)},$ $t = 1\text{s(100% 생산)}$			8000	V_{PEAK}
최대 서지 절연 전압	V_{IOSM}	IEC 60065에 따른 테스트 방법, 1.2/50 μs 파형, $V_{TEST} = 1.6 \times V_{IOSM} = 12800\text{V(검증)}$			8000	V_{PEAK}
절연 저항	R_S	T_S 에서 $V_{IO} = 500\text{V}$			$>10^9$	Ω
최대 케이스 온도	T_S				150	$^{\circ}\text{C}$
안전 총 소모 전력	P_S	$T_A = 25^{\circ}\text{C}$			1.79	W
오염도				2		
기후 분류				40/125/21		
절연 내전압	V_{ISO}	$V_{TEST} = V_{ISO}, t = 60\text{s(검증)},$ $V_{TEST} = 1.2 \times V_{ISO} = 6000\text{V}_{RMS}, t = 1\text{s}$ (100% 생산)			5000	V_{RMS}

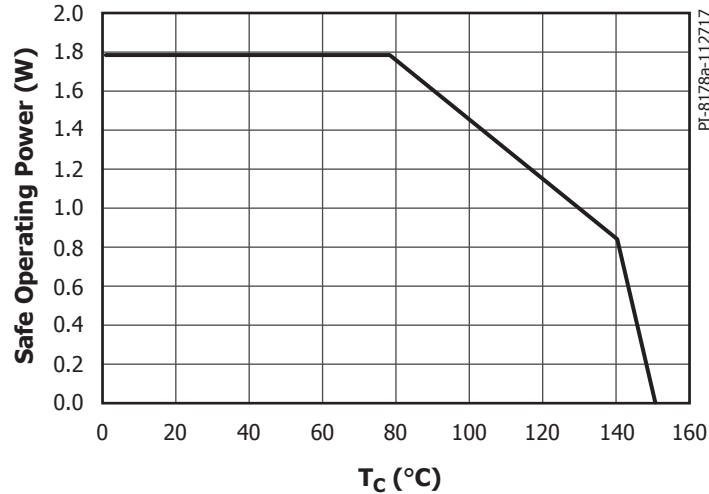


그림 15. 케이스 온도에 대해 제한된 전력 소모의 종속성을 보여주는 써멀 디레이팅 곡선 (DIN V VDE V 0884-10)

T_j 및/또는 T_c가 125°C에 도달할 때까지 연속 디바이스 작동이 허용됩니다. 써멀 스트레스가 이러한 값보다는 높지만 써멀 디레이팅 곡선보다는 낮은 경우 제품에 영구적인 기능 손상을 초래할 수 있습니다. 써멀 SR 경감 곡선보다 높은 작동 시 제품 안정성에 영향을 줄 수 있습니다.

참고:

1. V_{VCC} = 5V, V_{TOT} = 25V. GH 및 GL 핀이 서로 단락됩니다. R_G = 4Ω, C_G 없음. VCC 핀이 2kΩ 저항을 통해 SO 핀에 연결됩니다. VGXX 핀이 10nF 커패시터를 통해 GH 핀에 연결됩니다. 일반적인 값은 T_A = 25°C, f_s = 20kHz, 듀티 사이클 = 50%에서 정의됩니다. 핀에 플러스 전류가 흐르는 것으로 가정됩니다.
2. 펄스 폭 ≤ 10μs, 듀티 사이클 ≤ 1%. 최대값이 ASIC에 의해 안전한 레벨로 제어됩니다. 애플리케이션에서 전류를 제한할 필요가 없습니다. R_G ≥ 0 및 전력 반도체 모듈 입력 게이트 커패시턴스 C_{TES} ≤ 47nF에 대해 내부 피크 전력이 안전하게 제어됩니다.
3. 각각의 V_{TOT}, V_{VCC} 및 V_{VEE}와 관련된 매우 느린 V_{VCC} 파워 업 및 파워 다운의 경우 여러 개의 SO 고장 펄스가 생성될 수 있습니다.
4. V_{VCC}가 최소값 아래로 유지되는 동안 SO 핀이 GND에 연결됩니다. 1차측에서 2차측으로 전달되는 신호가 없습니다.
5. V_{IN} 전위가 10ns 내에 0V에서 5V로 변경됩니다. IN 핀에서의 50% 전압 증가부터 GH 핀에서의 10% 전압 증가까지 지연이 측정됩니다.
6. V_{IN} 전위가 10ns 내에 5V에서 0V로 변경됩니다. IN 핀에서의 50% 전압 감소부터 GL 핀에서의 10% 전압 감소까지 지연이 측정됩니다.
7. V_{GE}의 10%~90%에 측정됩니다(C_G가 반도체 게이트 커패시턴스를 시뮬레이션합니다). V_{GE}가 C_G에 걸쳐 측정됩니다.
8. V_{GE}의 90%~10%에 측정됩니다(C_G가 반도체 게이트 커패시턴스를 시뮬레이션합니다). V_{GE}가 C_G에 걸쳐 측정됩니다.
9. ASSD 기능이 특정 시간에 제어된 반도체의 G-E 전압을 제한합니다. 조건: C_G = 10nF, V_{TOT} = V_{VISO} = 15V, V_{VEE} = 0V(V_{VEE}가 COM에 단락됨).
10. 2차측에서 SO 핀으로 고장 이벤트를 전달하는 데 필요한 시간입니다(UVLO 또는 DESAT).
11. 1차측 및 2차측 공급 전압(V_{VCC} 및 V_{TOT})이 정상적인 드라이버 작동에 필요한 최소 레벨에 도달하기까지의 시간입니다. 이 시간 동안 1차측에서 2차측으로 전달되는 신호가 없으며, 2차측에서 1차측으로 전달되는 고장 조건이 없습니다.
12. 설계에 의해 보장됩니다.
13. 핀에서 흘러 나오는 플러스 전류입니다.
14. 안전 거리는 애플리케이션에 따라 달라지며 연면거리 및 공간거리 요구 사항은 애플리케이션의 특정 장비 절연 표준을 준수해야 합니다. 보드 설계는 IC의 솔더링 패드가 필요한 안전 관련 거리를 유지할 수 있도록 확인해야 합니다.
15. IEC 61000-4-8(f_s = 50Hz 및 60Hz) 및 IEC 61000-4-9에 따라 측정되었습니다.
16. 배리어의 각 측면에 있는 모든 핀은 서로 연결되어 2단자 디바이스를 이룹니다.

일반적 성능 특성

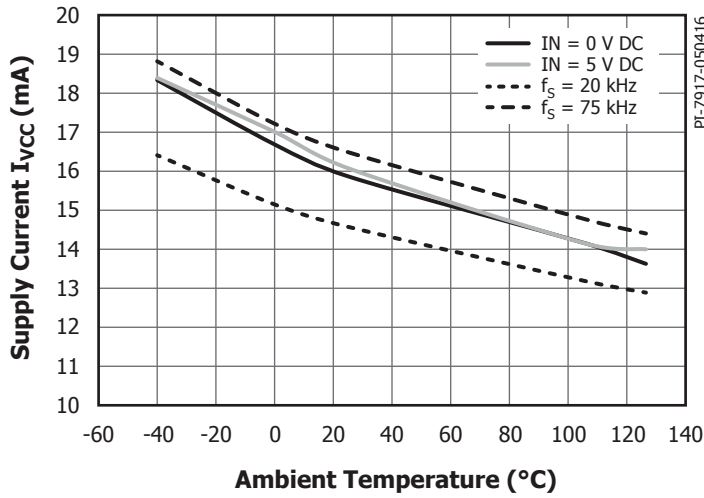


그림 16. 공급 전류 1차측 I_{VCC} 와 주변 온도 비교
조건: $V_{VCC} = 5V$, $V_{TOT} = 25V$, 무부하

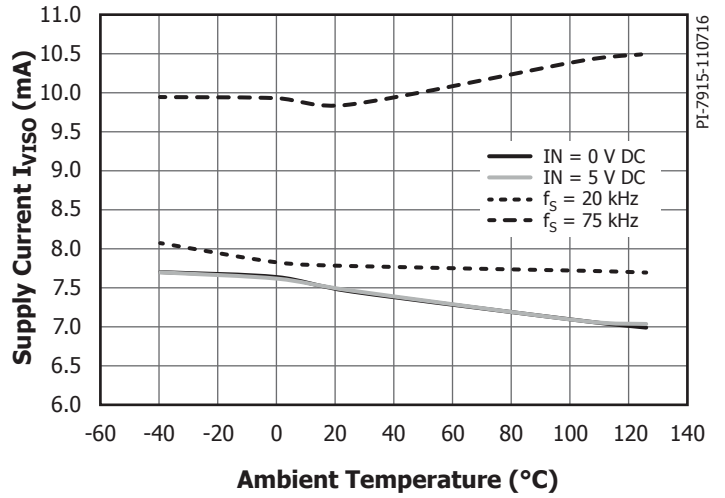


그림 17. 공급 전류 2차측 I_{VISO} 와 주변 온도 비교
조건: $V_{VCC} = 5V$, $V_{TOT} = 25V$, 무부하

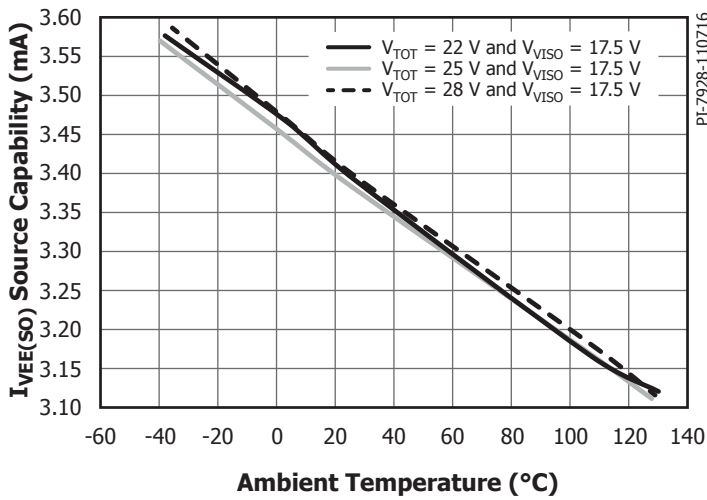


그림 18. VEE 소스 용량 $I_{VEE(SO)}$ 와 주변 온도 및 V_{VISO} 비교
조건: $V_{VCC} = 5V$, $f_S = 20kHz$, 듀티 사이클 = 50%.

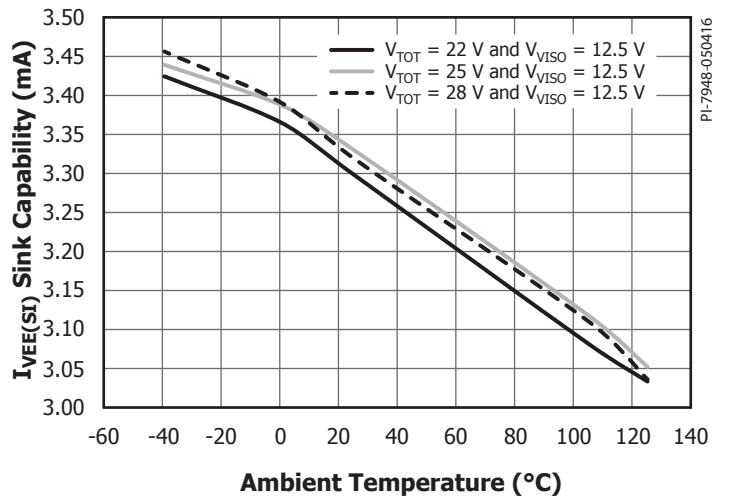
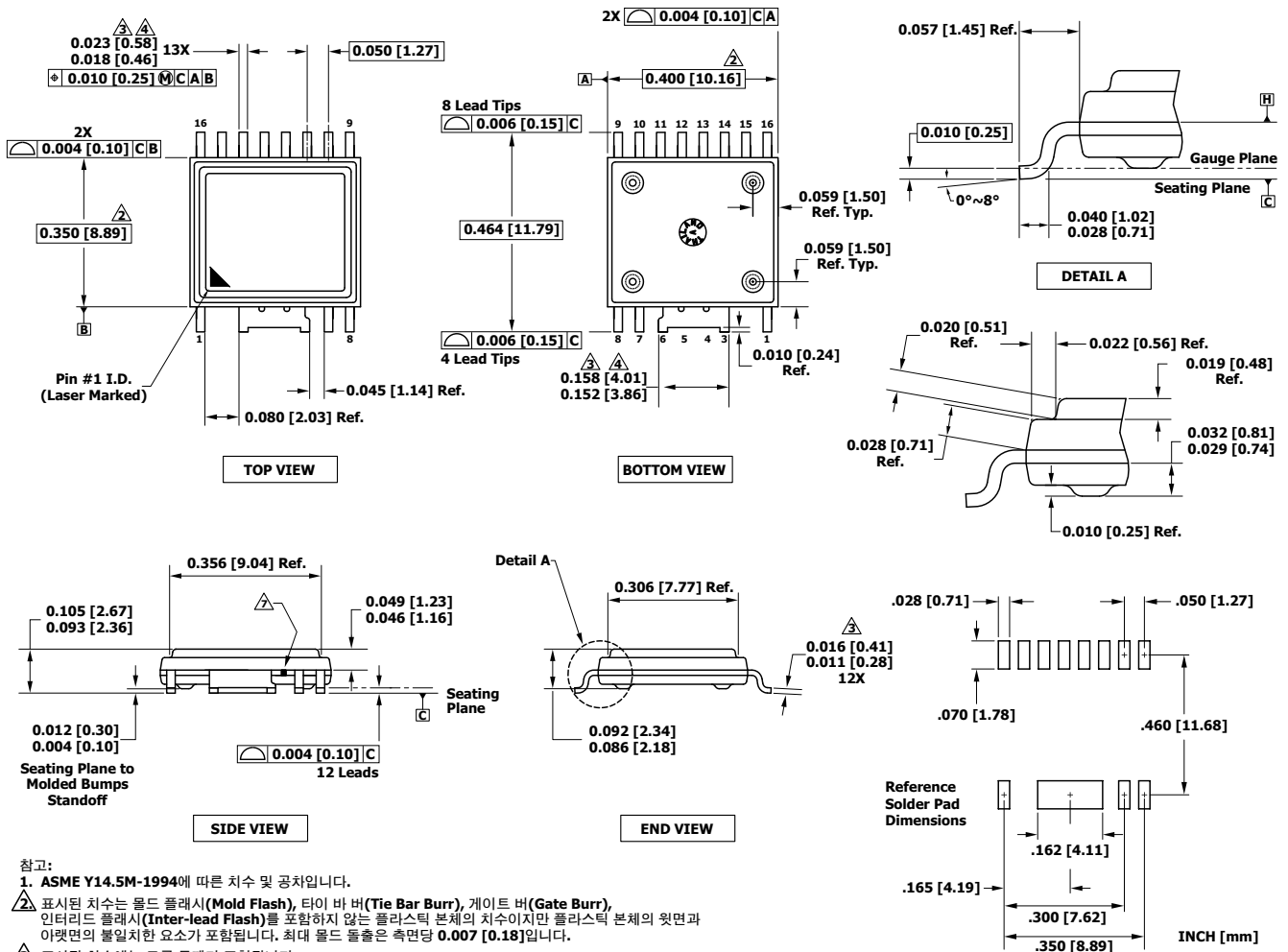


그림 19. VEE 싱크 용량 $I_{VEE(SI)}$ 와 주변 온도 및 V_{VISO} 비교
조건: $V_{VCC} = 5V$, $f_S = 20kHz$, 듀티 사이클 = 50%.

eSOP-R16B



참고:

- ASME Y14.5M-1994에 따른 치수 및 공차입니다.
- 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Tie Bar Burr), 게이트 버(Gate Burr), 인터리드 플래시(Inter-lead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만 플라스틱 본체의 윗면과 아랫면의 불일치한 요소가 포함됩니다. 최대 몰드 돌출은 측면당 0.007 [0.18]입니다.
- 표시된 치수에는 도금 두께가 포함됩니다.
- 인터리드 플래시(Interlead Flash) 또는 돌출은 포함되지 않습니다.
- 제어 치수는 인치[mm] 단위입니다.
- 기준점 A와 B는 기준점 H에서 결정됩니다.
- 리드 6과 7 사이의 플라스틱 패키지 바디 외형/표면에서 노출된 금속은 와이드 리드 3/4/5/6에 내부적으로 연결됩니다.

PI-6995-051716
 POD-eSOP-R16B Rev B

MSL 표

부품 번호	MSL 등급
SID11x2KQ	3

ESD 및 래치업 표

테스트	조건	결과
125°C에서의 래치업	AEC-Q100-002	모든 핀에서 > ±100mA 또는 > 1.5 × V _{MAX}
HBM(Human Body Model) ESD	AEC-Q100-002	모든 핀에서 > ±2000 V
충전된 디바이스 모델 ESD	AEC-Q100-011	모든 핀에서 > ±500 V

IEC 60664-1 등급 표

파라미터	조건	사양
기본 절연 그룹	재료 그룹	I
설치 분류	메인 정격 전압 ≤ 150V _{RMS}	I - IV
	메인 정격 전압 ≤ 300V _{RMS}	I - IV
	메인 정격 전압 ≤ 600V _{RMS}	I - IV
	메인 정격 전압 ≤ 1000V _{RMS}	I - III

전기적 특성(EMI) 표

파라미터	기호	조건	최소	일반	최대	단위
커먼 모드 과도 응답 내성, Logic High	CM _H	그림 33, 34에 따라 측정된 일반 값. 최대값은 사다리꼴 파형을 가정한 설계 값임		-35 / 50	-100 / 100	kV/μs
커먼 모드 과도 응답 내성, Logic Low	CM _L	그림 33, 34에 따라 측정된 일반 값. 최대값은 사다리꼴 파형을 가정한 설계 값임		-35 / 50	-100 / 100	kV/μs
가변 자기장 내성	H _{HPEAK}	'참고 15' 참조		1000		A/m
	H _{LPEAK}	'참고 15' 참조		1000		

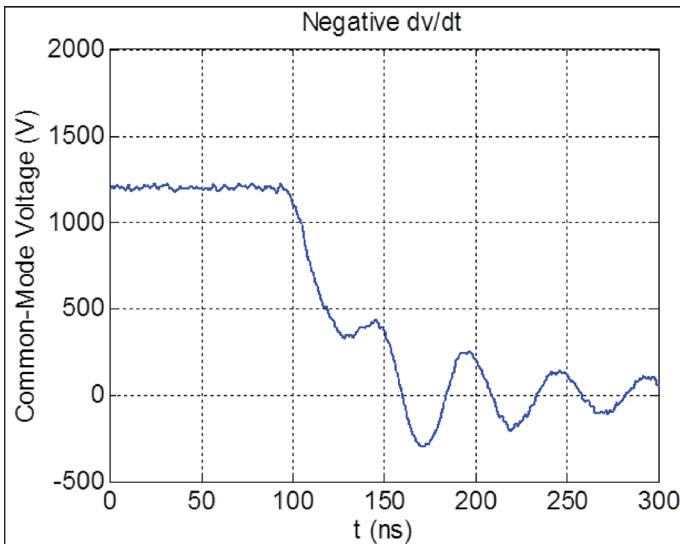


그림 20. 마이너스 dv/dt를 생성하기 위해 적용된 커먼 모드 펄스

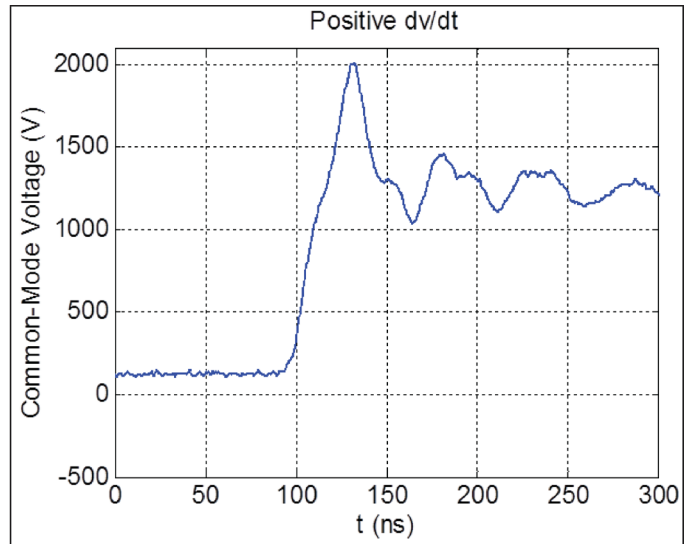
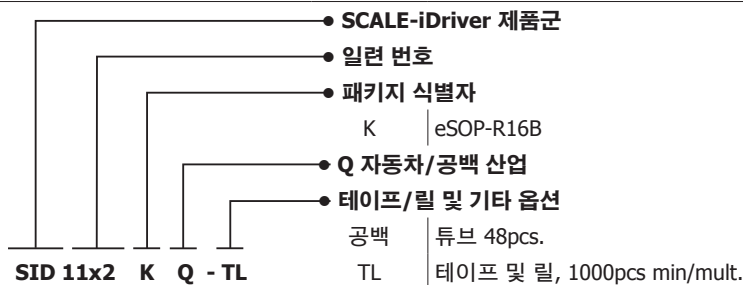


그림 21. 플러스 dv/dt를 생성하기 위해 적용된 커먼 모드 펄스

규정 정보 표

VDE	UL	CSA
DIN V VDE V 0884-10 (VDE V 0884-10) 인증: 2006-12	UL1577 부품 인증 프로그램에 따라 UR 인증됨	CSA 부품 승인 알림 5A에 따라 UR 인증됨
최대 과도 절연 전압 $8kV_{PEAK}$, 최대 서지 절연 전압 $8kV_{PEAK}$, 최대 반복 피크 절연 전압 $1414V_{PEAK}$ 를 위한 강화 절연	단일 보호, $5000V_{RMS}$ 유전체 내전압	단일 보호, $5000V_{RMS}$ 유전체 내전압
파일 번호 40044363	파일 E358471	파일 E358471

부품 주문 정보



개정	참고	날짜
A	코드 A 최초 릴리즈.	03/18
B	21페이지 규정 정보표의 VDE 열에서 UL 승인 정보 업데이트.	05/18

최신 업데이트는 당사 웹사이트 www.power.com을 참고하십시오.

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. 파워 인테그레이션스(Power Integrations)는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하며 이에 국한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 www.power.com/ip.htm에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

1. 수명 유지 장치 또는 시스템이란 (i)신체에 대한 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지를 목적으로 사용되며, (iii)사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 장치 또는 시스템입니다.
2. 핵심 부품이란 부품의 작동이 실패하여 수명 유지 디바이스 또는 시스템의 작동이 실패하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 디바이스 또는 시스템에 사용되는 모든 부품입니다.

PI 로고, TOPSwitch, TinySwitch, SENZero, SCALE, SCALE-iDriver, SCALE-iFlex, Qspeed, PeakSwitch, LYTSwitch, LinkZero, LinkSwitch, InnoSwitch, HiperTFS, HiperPFS, HiperLCS, DPA-Switch, CAPZero, Clampless, EcoSmart, E-Shield, Filterfuse, FluxLink, StakFET, PI Expert 및 PI FACTS는 Power Integrations, Inc.의 상표이며 그 외 상표는 각 회사 고유의 자산입니다. ©2018, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

<p>본사 5245 Hellyer Avenue San Jose, CA 95138, USA 본사 전화: +1-408-414-9200 고객 서비스: 전 세계: +1-65-635-64480 북미: +1-408-414-9621 이메일: usasales@power.com</p> <p>중국(상하이) Rm 2410, Charity Plaza, No. 88 North Caoxi Road Shanghai, PRC 200030 전화: +86-21-6354-6323 이메일: chinasales@power.com</p> <p>중국(선젠) 17/F, Hivac Building, No. 2, Keji Nan 8th Road, Nanshan District, Shenzhen, China, 518057 전화: +86-755-8672-8689 이메일: chinasales@power.com</p>	<p>독일(AC-DC/LED 판매) Lindwurmstrasse 114 D-80337 München Germany 전화: +49-89-5527-39100 이메일: eurosales@power.com</p> <p>독일(게이트 드라이버 판매) HellwegForum 1 59469 Ense Germany 전화: +49-2938-64-39990 이메일: igbt-driver.sales@power.com</p> <p>인도 #1, 14th Main Road Vasanthanagar Bangalore-560052 India 전화: +91-80-4113-8020 이메일: indiasales@power.com</p>	<p>이탈리아 Via Milanese 20, 3rd. Fl. 20099 Sesto San Giovanni (MI) Italy 전화: +39-024-550-8701 이메일: eurosales@power.com</p> <p>일본 Yusen Shin-Yokohama 1-chome Bldg. 1-7-9, Shin-Yokohama, Kohoku-ku Yokohama-shi, Kanagawa 222-0033 Japan 전화: +81-45-471-1021 이메일: japansales@power.com</p> <p>대한민국 RM 602, 6FL Korea City Air Terminal B/D, 159-6 Samsung-Dong, Kangnam-Gu, Seoul, 135-728, Korea 전화: +82-2-2016-6610 이메일: koreasales@power.com</p>	<p>싱가포르 51 Newton Road #19-01/05 Goldhill Plaza Singapore, 308900 전화: +65-6358-2160 이메일: singaporesales@power.com</p> <p>대만 5F, No. 318, Nei Hu Rd., Sec. 1 Nei Hu Dist. Taipei 11493, Taiwan R.O.C. 전화: +886-2-2659-4570 이메일: taiwansales@power.com</p> <p>영국 Building 5, Suite 21 The Westbrook Centre Milton Road Cambridge CB4 1YG 전화: +44 (0) 7823-557484 이메일: eurosales@power.com</p>
--	--	--	--